

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Seong-Jun Heo et al.

Serial No.: TBA

Filed: Concurrently herewith

For: **Methods Of Forming A Semiconductor Device Having A Metal Gate Electrode And Associated Devices**

Date: February 17, 2004


Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of Korean priority Application No. 10-2003-0010403 filed February 19, 2003.

Respectfully submitted,


Julie H. Richardson
Registration No. 40,142

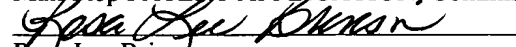
Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 353611458 US

Date of Deposit: February 17, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450


Rosa Lee Brinson



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0010403
Application Number

출 원 년 월 일 : 2003년 02월 19일
Date of Application

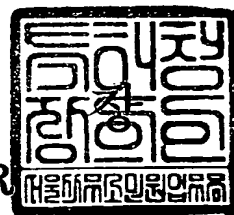
출 원 인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 08 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.19
【발명의 명칭】	금속 게이트 전극을 구비하는 반도체 소자의 형성 방법
【발명의 영문명칭】	Method of forming a semiconductor device having a metal gate electrode
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	허성준
【성명의 영문표기】	HEO, SEONG JUN
【주민등록번호】	730720-1074214
【우편번호】	138-050
【주소】	서울특별시 송파구 방이동 71-1 3F
【국적】	KR
【발명자】	
【성명의 국문표기】	최시영
【성명의 영문표기】	CHOI, SI YOUNG
【주민등록번호】	640118-1055419
【우편번호】	463-050
【주소】	경기도 성남시 분당구 서현동 92번지 현대아파트 419동 903호
【국적】	KR

【발명자】

【성명의 국문표기】 최길현
 【성명의 영문표기】 CHOI, GIL HEYUN
 【주민등록번호】 661001-1009316
 【우편번호】 449-913
 【주소】 경기도 용인시 구성면 보정리 행원마을 동아솔레시티아파트 104동 10 1호

【국적】 KR

【발명자】

【성명의 국문표기】 구자흠
 【성명의 영문표기】 KU, JA HUM
 【주민등록번호】 680110-1010516
 【우편번호】 463-500
 【주소】 경기도 성남시 분당구 구미동(무지개마을) 건영아파트 1004동 1401호

【국적】 KR

【발명자】

【성명의 국문표기】 이창원
 【성명의 영문표기】 LEE, CHANG WON
 【주민등록번호】 680703-1004911
 【우편번호】 140-031
 【주소】 서울특별시 용산구 이촌1동 수정아파트 207호

【국적】 KR

【발명자】

【성명의 국문표기】 윤선필
 【성명의 영문표기】 YOUN, SUN PIL
 【주민등록번호】 730821-1069318
 【우편번호】 151-021
 【주소】 서울특별시 관악구 신림11동 746-1

【국적】 KR

【발명자】

【성명의 국문표기】 김성만
 【성명의 영문표기】 KIM, SUNG MAN
 【주민등록번호】 741014-1337311

【우편번호】	156-052
【주소】	서울특별시 동작구 노량진2동 248-78 18/1
【국적】	KR
【발명자】	
【성명의 국문표기】	이종명
【성명의 영문표기】	LEE, JONG MYEONG
【주민등록번호】	700307-1001015
【우편번호】	463-749
【주소】	경기도 성남시 분당구 분당동(셋별마을) 삼부아파트 414동 102호
【국적】	KR
【발명자】	
【성명의 국문표기】	유권선
【성명의 영문표기】	RYU, KWON SUN
【주민등록번호】	710225-1155715
【우편번호】	441-340
【주소】	경기도 수원시 권선구 구운동 536-11
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	16 항 621,000 원
【합계】	650,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

금속 게이트 전극을 구비하는 반도체 소자의 형성 방법을 제공한다. 상기 방법에 따르면, 반도체 기판 상에 게이트 절연막, 게이트 폴리막, 장벽 금속막, 금속 게이트막, 및 캐핑막을 차례로 형성한다. 상기 캐핑막, 상기 금속게이트막, 상기 장벽 금속막, 및 상기 게이트 폴리막을 차례로 패터닝하여 차례로 적층된 게이트 폴리막 패턴, 장벽 금속막 패턴, 금속 게이트막 패턴, 및 캐핑막 패턴으로 이루어지는 게이트 패턴을 형성한다. 상기 금속 게이트막 패턴의 측벽을 덮는 산화방지막을 형성한다.

【대표도】

도 2b

【색인어】

금속 게이트 전극, 텅스텐

【명세서】**【발명의 명칭】**

금속 게이트 전극을 구비하는 반도체 소자의 형성 방법{Method of forming a semiconductor device having a metal gate electrode}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 금속 게이트 전극을 구비하는 반도체 소자의 단면도를 나타낸다.

도 2a 내지 도 2c는 본 발명의 바람직한 실시예에 따라 금속 게이트 전극을 구비하는 반도체 소자를 형성하는 방법을 순차적으로 그리고 개략적으로 나타내는 공정단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 형성 방법에 관한 것으로, 좀 더 상세하게는 금속 게이트 전극을 구비하는 반도체 소자의 형성 방법에 관한 것이다.
- <4> 반도체 소자가 고집적화됨에 따라, 게이트 패턴의 크기도 작아진다. 게이트 패턴으로 종래와 같이 텅스텐 실리사이드와 같이 금속 실리사이드를 사용할 경우, 게이트 패턴의 크기가 작아질수록 게이트 패턴의 저항이 급격히 증가한다. 따라서, 고집적화된 반도체 소자에서 게이트 패턴으로 저항이 낮은 텅스텐과 같은 금속이 요구된다.

<5> 도 1은 종래 기술에 따라 금속 게이트 전극을 갖는 반도체 소자의 단면도를 나타낸다.

<6> 도 1을 참조하면, 반도체 기판(1) 상에 게이트 절연막(3), 게이트 폴리막(5), 장벽 금속막(7), 금속 게이트막(9), 및 캐핑막(11)을 차례로 형성한 후 패터닝을 하여 게이트 패턴(13)을 형성한다. 그 후 상기 패터닝 과정 동안 상기 반도체 기판(1)과 상기 게이트 폴리막(5)에 발생하는 식각 손상을 치유하기 위하여 산화분위기에서 열처리를 실시한다. 이때, 상기 장벽금속막(7)과 상기 게이트폴리막(5) 사이에 산화막(0)이 형성될 수 있다. 상기 산화막(0)은 상기 산화분위기에서 열처리하는 동안 산소가 상기 금속게이트막(9)의 측면을 통하여 확산되어 형성되는 것으로 추정된다. 상기 산화막(0)은 상기 금속 게이트막(9)과 상기 게이트 폴리막(5) 사이의 저항을 증가시켜 RC 지연(RC delay)을 유발시키고 반도체 소자의 동작 속도 저하 및 신뢰도를 저하시킬 수 있다.

【발명이 이루고자 하는 기술적 과제】

<7> 따라서, 상기 문제점을 해결하기 위하여, 본 발명의 기술적 과제는 게이트 패턴에서 금속 게이트막과 게이트 폴리막 사이에 산화막이 형성되는 것을 방지할 수 있는 반도체 소자의 형성 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<8> 상기 기술적 과제를 해결하기 위하여, 본 발명에 따른 반도체 소자의 형성 방법은 금속 게이트 막 패턴의 측면을 덮는 산화방지막을 형성하는 단계를 구비하는 것을 특징으로 한다.

- <9> 좀 더 상세하게, 상기 방법은 다음과 같다. 먼저, 반도체 기판 상에 게이트 절연막, 게이트 폴리막, 및 금속함유막을 차례로 형성한다. 상기 금속함유막 및 상기 게이트 폴리막을 차례로 패터닝하여 차례로 적층된 게이트 폴리막 패턴 및 금속함유막 패턴으로 이루어지는 게이트 패턴을 형성한다. 그리고, 상기 금속함유막 패턴의 측벽을 덮는 산화방지막을 형성한다. 이때, 상기 산화방지막은 바람직하게는 화학기상증착(CVD) 또는 원자박막증착(ALD)에 의해 형성된다.
- <10> 상기 방법에 있어서, CVD 또는 ALD에 의해 상기 산화방지막을 적층할 경우, 핵형성 속도(nucleation rate)등의 화학적 성질의 차이에 의하여 상기 금속함유막의 측벽에는 증착이 매우 잘 이루어지지만, 다른 나머지막 상에는 거의 증착이 이루어지지 않는다.
- <11> 상기 방법에 있어서, 상기 산화방지막은 금속 또는 상기 금속의 산화물(oxide), 질화물(nitride) 또는 산화질화물(oxinitride)로 형성될 수 있다. 상기 금속은 바람직하게는 알루미늄(Al), 탄탈륨(Ta), 티타늄(Ti), 하프늄(Hf) 및 금(Au)을 포함하는 그룹에서 하나 선택될 수 있다. 상기 산화방지막은 바람직하게는 5~100Å의 두께를 갖도록 형성된다.
- <12> 상기 방법에 있어서, 상기 산화방지막은 금속막을 선택적으로 증착한후, 상기 증착된 금속막을 산화 또는 질화하여 형성될 수 있다.
- <13> 본 발명의 일 양태에 따르면, 상기 산화방지막이 산화알루미늄(Al_2O_3)으로 형성될 경우, 135~145℃온도와 0.1~1.1Torr의 압력에서 MPA(methylpyrrolidine alane)을 소스가스로 공급하고 아르곤(Ar) 100sccm을 캐리어(carrier) 가스로 공급하여 CVD 방법을 이용하여 알루미늄막을 형성한 후, 산화분위기에서 상기 알루미늄막을 산화하여 형성될 수 있다.

- <14> 본 발명의 다른 양태에 따르면, 상기 금속함유막은 차례로 적층된 장벽금속막과 금속 게이트막으로 형성되며, 상기 게이트 패턴은 차례로 적층된 게이트 폴리막 패턴, 장벽 금속막 패턴 및 금속 게이트막 패턴으로 이루어진다. 이때, 상기 금속게이트막은 바람직하게는 텅스텐으로 형성된다. 상기 장벽금속막은 바람직하게는 텅스텐 질화막(WN) 또는 티타늄 질화막(TiN)으로 형성된다. 여기서, 상기 산화방지막은 상기 금속 게이트막 패턴만을 덮도록 형성될 수 있다.
- <15> 상기 방법에 있어서, 상기 금속함유막 상에 캐핑막을 형성할 수 있으며, 여기서 상기 금속함유막 및 상기 게이트 폴리막을 차례로 패터닝할때 상기 캐핑막도 패터닝되어 상기 게이트 패턴은 차례로 적층된 게이트 폴리막 패턴, 금속함유막 패턴 및 캐핑막 패턴으로 이루어진다. 후속 공정으로, 상기 산화방지막이 형성된 상기 게이트 패턴을 갖는 상기 반도체 기판에 대하여 산화 분위기에서 열처리를 실시할 수 있다. 상기 산화분위기에서 열처리는 바람직하게는 750~950℃의 온도에서, 불활성 캐리어 가스로 질소(N₂) 가스를 공급하고, 수소(H₂)와 산소(O₂)를 공급하되, 산소/수소 비가 0.5~1.3이 되도록 공급하여 이루어진다. 이때, 상기 산화방지막이 산소가 금속함유막 속으로 침투하는 것을 방지하여 게이트 폴리막 패턴과 금속함유막 패턴사이에 종래와 같이 산화막이 형성되지 않는다.
- <16> 상기 산화방지막이 형성된 상기 게이트 패턴의 측벽을 덮는 스페이서를 형성할 수 있다. 상기 게이트 패턴을 이온주입마스크로 사용하여, 상기 게이트 패턴의 양측의 상기 반도체 기판에 불순물 영역을 형성할 수 있다.
- <17> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태

로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<18> 도 2a 내지 도 2c는 본 발명의 바람직한 실시예에 따라 반도체 소자를 형성하는 방법을 순차적으로 그리고 개략적으로 나타내는 공정 단면도들이다.

<19> 도 2a를 참조하면, 반도체 기판(100) 상에 게이트 절연막(110), 게이트 폴리막, 장벽 금속막, 금속 게이트막, 및 캐핑막을 차례로 형성한다. 상기 캐핑막, 상기 금속게이트막, 상기 장벽 금속막, 및 상기 게이트 폴리막을 차례로 패터닝하여 차례로 적층된 게이트 폴리막 패턴(120), 장벽 금속막 패턴(130), 금속 게이트막 패턴(140), 및 캐핑막 패턴(150)으로 이루어지는 게이트 패턴(155)을 형성한다. 상기 게이트 절연막(110)은 반도체 기판(100)을 열산화하여 형성할 수 있다. 상기 게이트 절연막은 상기 패터닝 과정에서 제거되어 상기 반도체 기판(100)을 노출시킬 수 있으며, 후속공정에서 열처리 공정으로 다시 형성될 수 있다. 상기 장벽금속막은 텅스텐 질화막(WN) 또는 티타늄 질화막(TiN)으로 PVD 또는 CVD 방법등으로 형성될 수 있다. 상기 금속 게이트막은 텅스텐으로 형성될 수 있다. 상기 게이트 폴리막은 불순물이 도핑된 폴리실리콘막으로 형성할 수 있다. 상기 캐핑막은 실리콘 산화막으로 형성할 수 있으며 바람직하게는 실리콘 질화막으로 형성한다.

<20> 도 2b를 참조하면, 상기 금속 게이트막 패턴(140) 및 상기 장벽금속막 패턴(130)의 측벽을 덮는 산화방지막(160)을 선택적으로 형성한다. 상기 산화방지막(160)은 상기 금

속 게이트막 패턴(140)만을 덮도록 형성될 수 있다. 상기 산화방지막(160)은 화학기상증착(CVD) 또는 원자박막증착(ALD)을 이용하여 형성하는 데, 이때 핵생성속도(nucleation rate)와 같은 화학적 성질의 차이때문에 금속함유막(130, 140)의 측벽에는 매우 증착이 잘 이루어지지만 다른 막들(110, 120, 150)의 표면에는 증착이 거의 이루어지지 않는다. 상기 산화방지막(160)은 바람직하게는 알루미늄(Al), 탄탈륨(Ta), 티타늄(Ti), 하프늄(Hf) 및 금(Au)을 포함하는 그룹에서 선택되는 하나의 금속 또는 그 금속의 산화물(oxide), 질화물(nitride) 또는 산화질화물(oxinitride)로 형성될 수 있다. 상기 산화방지막(160)은 금속막을 선택적으로 증착한 후, 증착된 금속막을 산화 또는 질화하여 형성할 수 있다. 상기 산화방지막은 바람직하게는 5~100Å의 두께를 갖도록 형성된다. 상기 산화방지막(160)을 산화알루미늄(Al_2O_3)으로 형성할 경우, 먼저 135~145°C 온도와 0.1~1.1Torr의 압력에서 MPA(methylpyrrolidine alane)을 소스가스로 공급하고 아르곤(Ar) 100sccm을 캐리어(carrier) 가스로 공급하여 5초동안 CVD 방법을 이용하여 상기 금속 함유막(130, 140)의 측면만을 덮는 알루미늄막을 형성하고, 그 후 대기하에서 자연 산화하여 산화알루미늄을 형성한다. 여기서 상기 알루미늄막은 금속함유막(130, 140)을 제외한 다른 막들(110, 120, 150)의 표면에는 증착되지 않는다.

<21> 도 2c를 참조하면, 상기 산화방지막(160)이 형성된 상기 게이트 패턴을 갖는 상기 반도체 기판(100)에 대하여 산화 분위기에서 열처리를 실시하여 도 2a의 패터닝 과정동안 발생한 식각손상을 치유한다. 상기 산화분위기에서 열처리 과정은 750~950°C의 온도에서 불활성 캐리어 가스로 질소(N_2) 가스를 공급하고, 수소(H_2)와 산소(O_2)를 공급하되, 산소/수소 비가 0.5~1.3이 되도록 공급하여 처리한다. 이때, 상기 산화방지막(160)은 산소가 상기 금속 게이트 막 패턴(140) 속으로 침투하는 것을 방지한다. 따라서

, 종래와 같이 상기 금속 게이트 막 패턴(140)과 상기 게이트 폴리막 패턴(120) 사이에 산화막이 형성되지 않아 반도체 소자의 신뢰도를 저하시키지 않는다. 상기 게이트 패턴(155)을 이온주입마스크로 사용하여, 상기 게이트 패턴의 양측의 상기 반도체 기판(100)에 저농도 불순물 영역(170)을 형성한다. 상기 저농도 불순물 영역(170)은 상기 산화방지막(160)을 형성하기 전에 상기 게이트 패턴(155)을 이온주입마스크로 이용하여 불순물을 주입하여 형성될 수 있다. 상기 산화방지막(160)이 형성된 상기 반도체 기판(100)의 전면 상에 절연막을 콘포말하게 적층하고 이방성 식각을 진행하여 상기 게이트 패턴(155)의 측벽을 덮는 스페이서(180)를 형성한다. 상기 절연막은 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다. 상기 상기 게이트 패턴(155)과 상기 스페이서(180)을 이온주입마스크로 사용하여 상기 반도체 기판(100)에 고농도 불순물 영역(190)을 형성한다.

【발명의 효과】

<22> 따라서, 본 발명에 의한 반도체 소자의 형성 방법에 따르면, 금속 게이트 막 패턴의 측면을 덮는 산화방지막을 형성하여 후속의 열처리 공정에서 산소가 투과되어 금속 게이트 막 패턴과 게이트 폴리막 패턴 사이에 산화막이 형성되는 것을 방지하여 반도체 소자의 신뢰도를 향상시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 게이트 절연막, 게이트 폴리막, 및 금속함유막을 차례로 형성하는 단계;

상기 금속함유막 및 상기 게이트 폴리막을 차례로 패터닝하여 차례로 적층된 게이트 폴리막 패턴 및 금속함유막 패턴으로 이루어지는 게이트 패턴을 형성하는 단계; 및

상기 금속함유막 패턴의 측벽을 덮는 산화방지막을 형성하는 단계를 구비하는 반도체 소자의 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 산화방지막은 화학기상증착(CVD) 또는 원자박막증착(ALD)에 의해 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 산화방지막은 금속 또는 상기 금속의 산화물(oxide), 질화물(nitride) 또는 산화질화물(oxinitride)로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 4】

제 3 항에 있어서,

상기 금속은 알루미늄(Al), 탄탈륨(Ta), 티타늄(Ti), 하프늄(Hf) 및 금(Au)을 포함하는 그룹에서 하나 선택되는 것을 특징으로 하는 반도체 소자의 형성 방법.



【청구항 5】

제 1 항에 있어서,
상기 산화방지막을 형성하는 단계는
금속막을 선택적으로 증착하는 단계; 및
상기 증착된 금속막을 산화 또는 질화하는 단계를 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 6】

제 1 항에 있어서,
상기 산화방지막은 산화알루미늄(Al_2O_3)으로 형성되며,
상기 산화방지막을 형성하는 단계는
135~145 °C 온도와 0.1~1.1Torr의 압력에서 MPA(methylpyrrolidine alane)을 소스가
스로 공급하고 아르곤(Ar) 100sccm을 캐리어(carrier) 가스로 공급하여 CVD 방법을 이용
하여 알루미늄막을 형성하는 단계;
산화분위기에서 상기 알루미늄막을 산화하는 단계를 구비하는 것을 특징으로 하는
반도체 소자의 형성 방법.

【청구항 7】

제 1 항에 있어서,
상기 산화방지막은 5~100Å의 두께를 갖도록 형성되는 것을 특징으로 하는 반도체
소자의 형성 방법.



【청구항 8】

제 1 항에 있어서,

상기 금속함유막은 차례로 적층된 장벽금속막과 금속 게이트막으로 형성되며, 상기 게이트 패턴은 차례로 적층된 게이트 폴리막 패턴, 장벽 금속막 패턴 및 금속 게이트막 패턴으로 이루어지는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 9】

제 8 항에 있어서,

상기 금속게이트막은 텅스텐으로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 10】

제 7 항에 있어서,

상기 장벽금속막은 텅스텐 질화막(WN) 또는 티타늄 질화막(TiN)으로 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 11】

제 7 항에 있어서,

상기 산화방지막은 상기 금속 게이트막 패턴만을 덮도록 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 12】

제 1 항에 있어서,

상기 금속함유막 상에 캐핑막을 형성하는 단계를 더 구비하되,



상기 금속함유막 및 상기 게이트 폴리막을 차례로 패터닝할때 상기 캐핑막도 패터닝되어 상기 게이트 패턴은 차례로 적층된 게이트 폴리막 패턴, 금속함유막 패턴 및 캐핑막 패턴으로 이루어지는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 13】

제 1 항에 있어서,

상기 산화방지막이 형성된 상기 게이트 패턴의 측벽을 덮는 스페이서를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 14】

제 1 항에 있어서,

상기 게이트 패턴을 이온주입마스크로 사용하여, 상기 게이트 패턴의 양측의 상기 반도체 기판에 불순물 영역을 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 15】

제 1 항에 있어서,

상기 산화방지막이 형성된 상기 게이트 패턴을 갖는 상기 반도체 기판에 대하여 산화 분위기에서 열처리를 실시하는 단계를 더 구비하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 16】

제 15 항에 있어서,

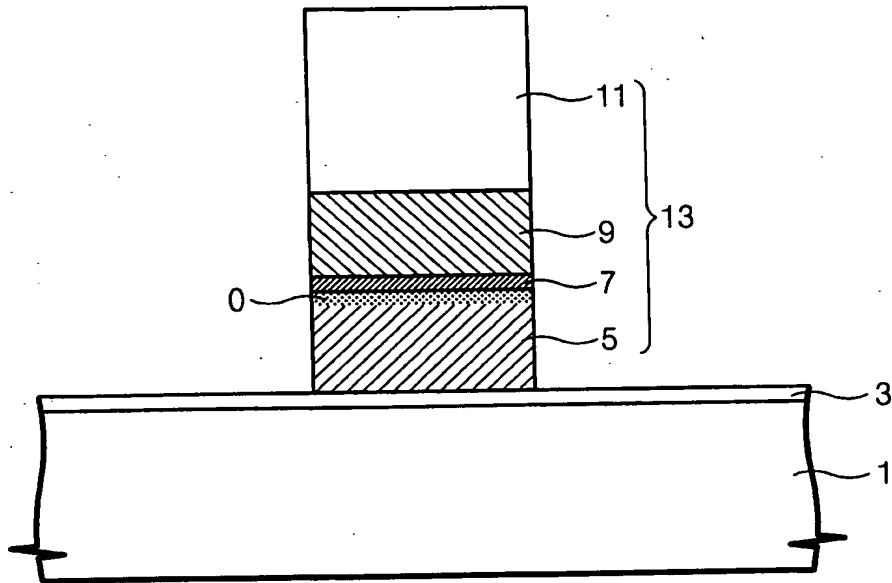


상기 산화분위기에서 열처리 단계는 750~950℃의 온도에서, 불활성 캐리어 가스로 질소(N_2) 가스를 공급하고, 수소(H_2)와 산소(O_2)를 공급하되, 산소/수소 비가 0.5~1.3이 되도록 공급하여 이루어지는 것을 특징으로 하는 반도체 소자의 형성 방법.

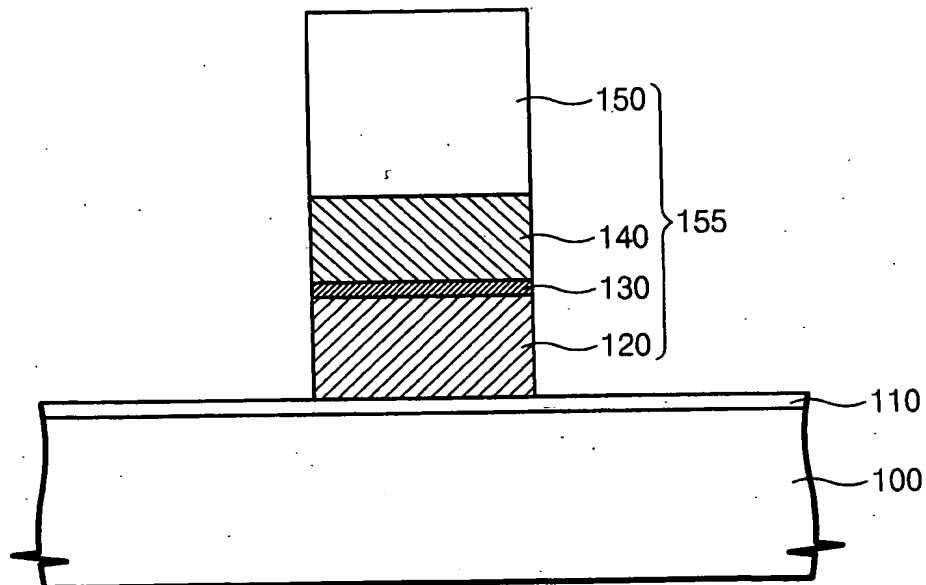
【도면】

【도 1】

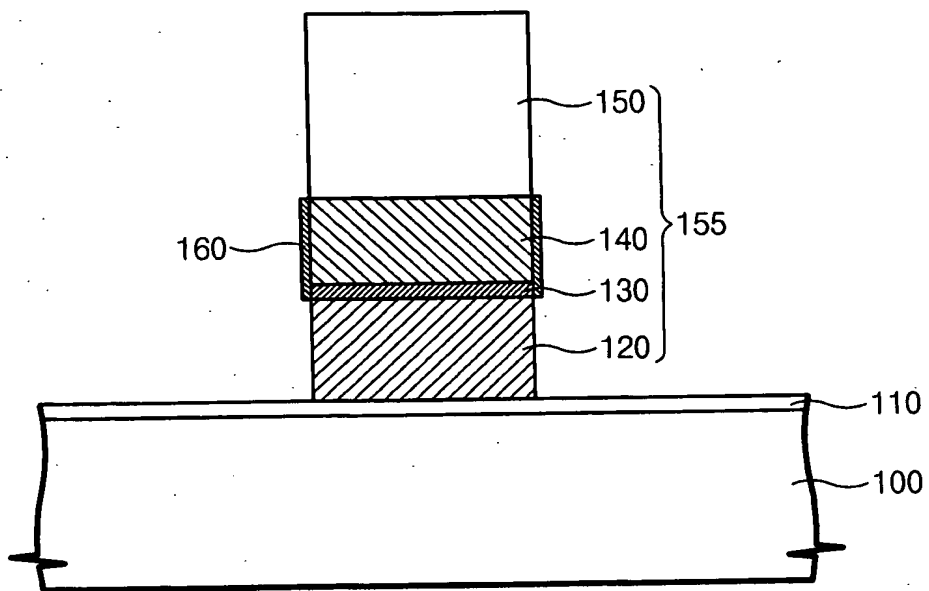
(종래 기술)



【도 2a】



【도 2b】



【도 2c】

